

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-006378

(43)Date of publication of application : 12.01.2001

(51)Int. Cl.

G11C 16/06

(21)Application number : 11-170498

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.06.1999

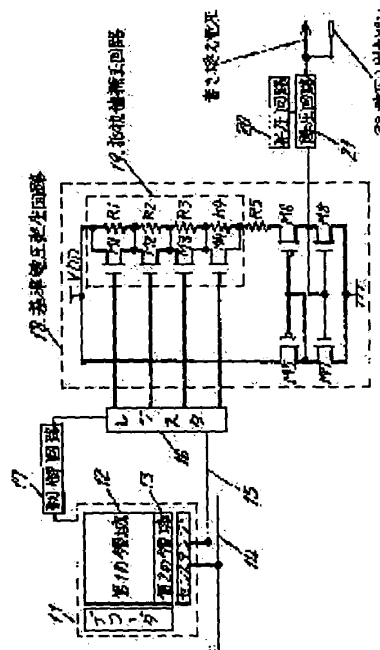
(72)Inventor : MUKAI HIROSHI
FUCHIGAMI IKUO
KATAOKA TOMONORI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make it possible to adjust the rewriting voltage of a nonvolatile memory many times after manufacture.

SOLUTION: A nonvolatile memory 11 is divided into a first area 12 and a second area 13, and reference voltage compensation data is stored in the second area 13. At the time of turning on a power source, the reference voltage compensation data is read out to a register 16 through a data bus 15 and is stored. A reference voltage generating circuit 18 for varying output voltage in accordance with the resistance value of a resistance value compensating circuit 19 whose resistance value is compensated in accordance with the value of the register 16 is provided to generate a rewriting voltage for rewriting the data of the nonvolatile memory 11 based on its output voltage. The rewriting voltage is outputted to the outside by a voltage input/output pin 22. The rewriting voltage can be adjusted to a desired value any time and many times by monitoring the rewriting voltage from the outside and rewriting the reference voltage compensation data.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-6378
(P2001-6378A)

(43) 公開日 平成13年1月12日 (2001.1.12)

(51) Int.Cl.⁷
G 1 1 C 16/06

識別記号

F I
G 1 1 C 17/00

キーワード (参考)

6 3 2 C 5 B 0 2 5

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平11-170498

(22) 出願日 平成11年6月17日 (1999.6.17)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 向 浩志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 淵上 郁雄

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外 2 名)

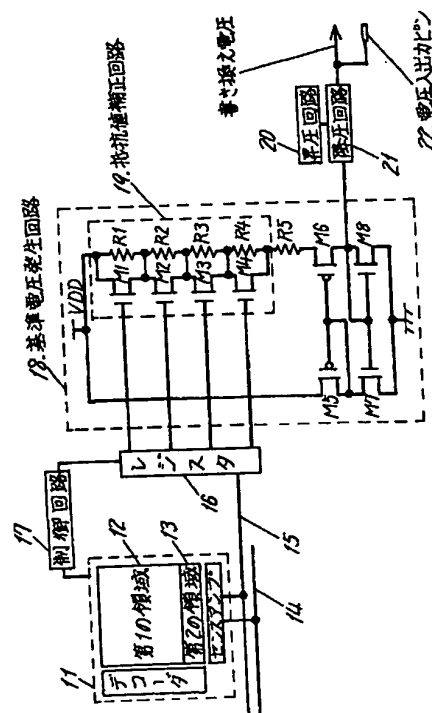
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 製造後、何度でも不揮発性メモリの書き換え電圧を調整可能な半導体集積回路装置を提供する。

【解決手段】 不揮発性メモリ 11 を第 1 の領域 12 と第 2 の領域 13 に分割し、第 2 の領域 13 に基準電圧補正データを記憶させる。電源投入時に、データバス 15 を介して基準電圧補正データをレジスタ 16 に読み出し格納する。レジスタ 16 の値に応じて抵抗値が補正される抵抗値補正回路 19 の抵抗値に応じて出力電圧を変化させる基準電圧発生回路 18 を設け、その出力電圧を基準として不揮発性メモリ 11 の書き換えを行うための書き換え電圧を発生する。書き換え電圧は電圧入出力ピン 22 によって外部に出力される。外部から書き換え電圧をモニターし、基準電圧補正データを書き換えることによって、書き換え電圧をいつでも、何度でも所望の値に調整することができる。



1

【特許請求の範囲】

【請求項 1】 不揮発性メモリと、前記不揮発性メモリから基準電圧補正データを読み出し格納する第 1 のレジスタと、前記第 1 のレジスタの値に応じて抵抗値が補正される抵抗値補正回路と、前記抵抗値補正回路の抵抗値に応じて出力電圧を変化させる基準電圧発生回路と、前記不揮発性メモリおよび前記第 1 のレジスタの動作を制御する制御回路とを有することを特徴とする半導体集積回路装置。

【請求項 2】 前記基準電圧発生回路の出力電圧を基準として前記不揮発性メモリの書き換えを行うための書き換え電圧を発生することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 3】 前記書き換え電圧を外部に出力する電圧出力手段をさらに有することを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 4】 前記不揮発性メモリは第 1 の領域と第 2 の領域に分割され、第 2 の領域に前記基準電圧補正データを記憶することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 5】 前記不揮発性メモリのデータを外部に読み出す第 1 のデータバスと、前記不揮発性メモリから前記第 1 のレジスタに前記基準電圧補正データを転送する第 2 のデータバスとをさらに有することを特徴とする請求項 1 記載の半導体集積回路装置。

【請求項 6】 前記不揮発性メモリの書き換え回数をカウントするカウンタと、電源投入時に前記不揮発性メモリから読み出された回数データを格納する第 2 のレジスタと、前記カウンタによりカウントされた値と前記第 2 のレジスタの回数データとを比較する比較器とをさらに有し、前記比較器の出力は前記制御回路に入力され、前記制御回路は前記比較器の比較結果に基づいて、前記不揮発性メモリに記憶された基準電圧補正データを、前記書き換え電圧がより高くなるように書き換えることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 7】 前記制御回路は、電源遮断時に、前記不揮発性メモリに記憶された前記回数データを、前記カウンタのカウント値に従って減算された値に書き換えることを特徴とする請求項 6 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発性メモリを備えた半導体集積回路装置に関するものであり、特にメモリ内部で発生する電圧が製造後、何度でも調整でき、エンデュランス特性の劣化防止も可能な半導体集積回路装置に関するものである。

【0002】

【従来の技術】半導体集積回路装置の一つである、電気的に書き換え可能な不揮発性半導体メモリ（EEPROM）において、書き換え電圧をメモリ内部で発生する技

2

術が知られている。そのために、例えば、外部から印加された電源電圧を昇圧回路を用いて昇圧し、この昇圧電源から、メモリ内部で発生する基準電圧に基づいて比較器を用いて電圧を降圧し、書き換え電圧を発生する構成が用いられる。

【0003】一方、抵抗値を補正するためのデータをEEPROMに格納して、何度でも抵抗値を補正し直す技術も知られている。

【0004】図 4 は特開平 5-346827 号に記載された電圧調整回路装置である。R1~R5 は抵抗、Tr1~Tr4 はトランジスタ、1 は EEPROM、2 は制御回路、3 はレジスタである。複数の抵抗 R1~R4 に対して直列もしくは並列的にトランジスタ Tr1~Tr4 が接続されており、EEPROM1 に記憶されている補正データを制御回路 2 によって読み出し、レジスタ 3 を経てトランジスタ Tr1~Tr4 の ON・OFF の制御をする。これにより、抵抗列の抵抗値を所望値に設定することができ、素子のばらつきを補正できる。VDD は電源電圧、V は基準電圧である。

【0005】特開平 5-346827 号に記載された技術は、このように補正された抵抗を用いて、電源電圧 VDD を分圧し、基準電圧 V と比較し、電源電圧 VDD が低いときに誤動作防止のため、リセット信号を発生するものである。

【0006】

【発明が解決しようとする課題】不揮発性メモリの書き換え電圧をメモリ内部で発生するようにすると、基準電圧発生回路の素子特性のプロセスばらつき等によって、書き換え電圧の設計値からのずれが生じる。このずれを設計値に近づけるために基準電圧の補正を行うための手段が必要になる。基準電圧は何度でも調整し直すことができるようにするのが望ましい。また、不揮発性メモリでは、書き換え電圧が使用期間中変わらず一定であるとすると、書き換え回数増加によるエンデュランス特性の劣化という問題が生じる。

【0007】本発明は、不揮発性メモリの書き換え電圧の補正を何度でも可能にし、さらに不揮発性メモリの書き換え回数増加によるエンデュランス特性の劣化をも防ぐことが可能な半導体集積回路装置を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明の半導体集積回路装置は、不揮発性メモリと、前記不揮発性メモリから基準電圧補正データを読み出し格納する第 1 のレジスタと、前記第 1 のレジスタの値に応じて抵抗値が補正される抵抗値補正回路と、前記抵抗値補正回路の抵抗値に応じて出力電圧を変化させる基準電圧発生回路と、前記不揮発性メモリおよび前記第 1 のレジスタの動作を制御する制御回路とを有する。

【0009】この構成により、不揮発性メモリの基準電

圧補正データを書き換えることによって、基準電圧発生回路から発生される基準電圧を、製造後、何度でも調整することが可能になる。

【0010】前記不揮発性メモリの書き換えを行うための書き換え電圧は、前記基準電圧発生回路の出力電圧を基準として発生される。

【0011】前記書き換え電圧は、電圧出力手段によって外部に出力される。外部に出力された電圧から基準電圧の設計値からのずれを求めて、基準電圧補正データを生成し、不揮発性メモリに書き込むことが可能になる。

【0012】前記不揮発性メモリは第1の領域と第2の領域に分割され、第2の領域に前記基準電圧補正データを記憶する。第2の領域を補正データや回数データなどの専用の領域とすることで、これらのデータの誤書き換えを防ぐことができる。

【0013】本発明の半導体集積回路装置は、前記不揮発性メモリのデータを外部に読み出す第1のデータバスと、前記不揮発性メモリから前記第1のレジスタに前記基準電圧補正データを転送する第2のデータバスとをさらに有することが好ましい。

【0014】この構成により、第1のデータバスの負荷が小さくなり、複数の不揮発性メモリとレジスタを配置したときに第1のデータバスを共有化することが可能になる。

【0015】本発明の半導体集積回路装置は、前記不揮発性メモリの書き換え回数をカウントするカウンタと、電源投入時に前記不揮発性メモリから読み出された回数データを格納する第2のレジスタと、前記カウンタによりカウントされた値と前記第2のレジスタの回数データとを比較する比較器とをさらに有し、前記比較器の出力は前記制御回路に inputs され、前記制御回路は前記比較器の比較結果に基づいて、前記不揮発性メモリに記憶された基準電圧補正データを、前記書き換え電圧がより高くなるように書き換えるよう構成しても良い。

【0016】この構成により、不揮発性メモリの書き換え回数が所定の回数に達したときに書き換え電圧が高められ、書き換え回数増加によるエンデュランス特性劣化を防ぐことができる。

【0017】前記制御回路は、電源遮断時に、前記不揮発性メモリに記憶された前記回数データを、前記カウンタのカウント値に従って減算された値に書き換えることが好ましい。回数データが最初に設定された書き換え回数からこれまでにいった書き換え回数を引いた値になり、次の電源投入時には、カウンタをクリアした状態からカウントを始めて回数データと比較すれば良いことになる。

【0018】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0019】（第1の実施形態）図1は本発明の第1の

実施形態における半導体集積回路装置を示すものである。図1において、11は補正データを記憶する不揮発性メモリ、12は不揮発性メモリ11内の第1の領域、13は不揮発性メモリ11内の第2の領域、14は不揮発性メモリ11から外部にデータを読み出す第1のデータバス、15はレジスタ16に補正データを転送する第2のデータバス、16は不揮発性メモリ11に書き込まれた補正データを読み出して格納しておくためのレジスタ、17は不揮発性メモリ11やレジスタ16を制御する制御回路、18は基準電圧発生回路、19は基準電圧を補正するための抵抗値補正回路、R1、R2、R3、R4は補正用の抵抗、M1、M2、M3、M4は補正用の抵抗R1、R2、R3、R4をそれぞれゲート電圧に応じて短絡するためのトランジスタである。M5、M6はPチャネルトランジスタ、M7、M8はNチャネルトランジスタ、R5は抵抗であり、抵抗値補正回路19と共に基準電圧発生回路18を構成している。20は外部から印加された電源電圧よりも高い電圧を半導体集積回路内部で発生する昇圧回路、21は昇圧回路20で発生された内部昇圧電源電圧を基準電圧発生回路18の出力を基準として電圧を下げ、書き換え電圧として不揮発性メモリ11に供給するための降圧回路、22は書き換え電圧を外部からモニターするための入出力ピンである。

【0020】本実施形態の半導体集積回路装置は、補正データが記憶されている不揮発性メモリ11と不揮発性メモリ11から読み出された補正データを格納するレジスタ16が専用のデータバス15で接続されており、制御回路17が不揮発性メモリ11とレジスタ16に接続され、それぞれを制御する。レジスタ16は基準電圧発生回路18内に設けた抵抗値補正回路19の補正用抵抗R1～R4を選択的に短絡するためのトランジスタM1～M4のゲートに接続されている。直列接続された補正用抵抗R1～R4の各々の一方の端子にトランジスタM1～M4のドレイン、もう一方の端子にトランジスタM1～M4のソースが接続されている。レジスタ16に格納された補正データが1のときに対応するトランジスタがONし、補正データが0のときに対応するトランジスタがOFFする構成となっている。

【0021】以上のように構成された半導体集積回路装置について、以下その動作を説明する。

【0022】電源投入時、制御回路17によりレジスタ16のデータをクリアする。次に制御回路17により不揮発性メモリ11の第2の領域13に書き込まれている補正データを読み出し、第2のデータバス15を通して、その読み出された補正データをレジスタ16に転送し、格納する。はじめは不揮発性メモリ11の第2の領域13に補正データが書き込まれていない状態なので、レジスタ16にはデータ0が転送される。

【0023】次に、基準電圧発生回路18で発生する電圧を測定し、その測定値と設計値とのずれを求める。基

5

準電圧発生回路 18 で発生する電圧を基準とした電圧が降圧回路 21 から書き換え電圧として低インピーダンスで出力されるので、この書き換え電圧を、外部から電圧入出力ピン 22 を介してモニターすることによって、基準電圧発生回路 18 で発生する電圧を測定することができる。なお、電圧入出力ピン 22 は、基準電圧発生回路 18 の基準電圧を用いず、外部から書き換え電圧を直接入力して試験を行う場合には、入力ピンとして用いられる。

【0024】図 2 は、抵抗値補正回路および抵抗 R5 を合わせた抵抗値 R と基準電圧発生回路 18 で発生する基準電圧 VREF との関係を示す図である。この図に従って基準電圧を補正するための補正データを決定することができる。たとえば、基準電圧発生回路 18 で発生する電圧の設計値が 0.7 V、測定値が 0.8 V、 $R1 = 8 \text{ k}\Omega$ 、 $R2 = 4 \text{ k}\Omega$ 、 $R3 = 2 \text{ k}\Omega$ 、 $R4 = 1 \text{ k}\Omega$ であるとする。図 2 から 0.8 V のときは抵抗が 13.5 k Ω であり、0.7 V のときは 26 k Ω である。基準電圧発生回路 18 で発生する電圧を設計値に近づけるためには、抵抗値を 12.5 k Ω 増やせばよいことになる。そこで、抵抗値を増やすために、不揮発性メモリ 11 内の第 1 の領域 12 と第 2 の領域 13 を選択する信号により第 2 の領域 13 を選択する。そして、不揮発性メモリ 11 内の第 2 の領域 13 にトランジスタ M1 と M2 を OFF させ、M3 と M4 を ON させるような補正データを書き込む。書き込みが終了したら、制御回路 17 により不揮発性メモリ 11 内の第 2 の領域 13 に書き込まれた補正データを読み出し、レジスタ 16 へその補正データを転送し、転送された補正データをレジスタ 16 に格納する。そうすると、レジスタ 16 に格納された補正データによりトランジスタ M1、M2 が OFF し、M3、M4 が ON する。そして、抵抗値補正回路 19 のところの抵抗値は $R1 + R2 = 12 \text{ k}\Omega$ となる。こうすることで、基準電圧発生回路 18 で発生する電圧が設計値へ近づけられる。

【0025】以降、再度電源投入時は、制御回路 17 によりレジスタ 16 のデータをクリアする。次に制御回路 17 により不揮発性メモリ 11 に書き込まれている補正データを読み出し、第 2 のデータバス 15 を通して、その読み出された補正データをレジスタ 16 に転送し、格納するといった動作が電源投入時に行われるため、不揮発性メモリ 11 内の第 2 の領域 13 に補正データを再度書き込む必要はない。

【0026】なお、ここでは抵抗値補正回路 19 内の抵抗を 4 本としたが、別に 4 本である必要はない。

【0027】以上のように本実施形態によれば、基準電圧発生回路 18 内に抵抗値補正回路 19 を設けることで、製造後でも基準電圧発生回路 18 で発生する電圧を調整することができる。また、抵抗分圧で直接電圧を発生せずに、抵抗値を調節することで発生する電圧が変化

6

する電圧発生回路内に抵抗値補正回路を入れた構成のため小さな抵抗値の抵抗で電圧制御範囲を広げることができる。さらに、電圧を調整するための補正データを不揮発性メモリに書き込むため、電源を切った状態でも補正データは消えることがない。

【0028】(第 2 の実施形態) 以下、本発明の第 2 の実施形態について図面を参照しながら説明する。

【0029】図 3 は本発明の第 2 の実施形態における半導体集積回路装置を示すものである。図 3 において図 1 と同じものには同一の符号を付して説明を省略する。

【0030】図 3 において、23 は不揮発性メモリ 11 の書き換え回数をカウントするカウンタ、24 はカウンタ 23 のカウント値と比較するための回数データを格納する第 2 のレジスタ、25 はカウンタ 23 でカウントされた値と第 2 のレジスタ 24 の値とを比較する比較器である。16 は第 1 の実施形態のレジスタ 16 と同じものであるが、第 2 のレジスタ 24 と区別するため、ここでは第 1 のレジスタと呼ぶことにする。

【0031】カウンタ 23 は制御回路 17 により制御される。第 2 のレジスタ 24 は制御回路 17 により制御され、第 2 のデータバス 15 に接続される。比較器 24 の出力は制御回路 17 に入力される。

【0032】以上のように構成された半導体集積回路装置について、以下その動作を説明する。

【0033】電源投入時、制御回路 17 により第 1 のレジスタ 16 と第 2 のレジスタ 24 のデータをクリアする。次に制御回路 17 により不揮発性メモリ 11 の第 2 の領域 13 に書き込まれている補正データを読み出し、第 2 のデータバス 15 を通して、その読み出された補正データを第 1 のレジスタ 16 に転送し、格納する。さらに不揮発性メモリ 11 の第 2 の領域 13 に書き込まれている回数データを読み出し、第 2 のデータバス 15 を通して、その読み出された回数データを第 2 のレジスタ 24 に転送し、格納する。はじめは不揮発メモリ 11 の第 2 の領域 13 に補正データおよび回数データが書き込まれていない状態なので、第 1 のレジスタ 16 および第 2 のレジスタ 24 にはデータ 0 が転送される。

【0034】次に、基準電圧発生回路 18 で発生する電圧を測定し、図 1 に示す第 1 の実施形態の場合と同様にして、基準電圧発生回路 18 で発生する電圧が設計値へ近づけられる。

【0035】基準電圧発生回路 18 で発生する電圧の調整が終わったら、不揮発性メモリ 11 への書き換え電圧を高めるときの書き換え回数の設定を行う。その設定方法は、例えば、書き換え電圧を高めるときの不揮発性メモリ 11 の書き換えの回数を 1 万回としたとき、不揮発性メモリ 11 内の第 1 の領域 12 と第 2 の領域 13 を選択する信号により第 2 の領域 13 を選択する。そして、不揮発性メモリ 11 内の第 2 の領域 13 に 1 万回という回数データを書き込む。書き込みが終了したら、制御回

路 17 により不揮発性メモリ 11 内の第 2 の領域 13 に書き込まれた回数データを読み出し、第 2 のデータバス 15 を通して、その読み出された回数データを第 2 のレジスタ 24 へ転送し、転送された回数データを第 2 のレジスタ 24 に格納する。

【0036】そして、不揮発性メモリ 11 の書き換え回数をカウンタ 23 でカウントしていき、カウンタ 23 でカウントされた回数と第 2 のレジスタ 24 に格納された回数データとを比較器 25 で比較する。ここで、カウンタ 23 でカウントされた回数と第 2 のレジスタ 24 に格納された回数データが一致したら、制御回路 17 により、不揮発性メモリ 11 に書き込まれている補正データを基準電圧発生回路 18 で発生する電圧を高めるように変換して新たな補正データに書き換え、書き換えが終了したら第 2 のデータバス 15 を通して第 1 のレジスタ 16 に転送し、格納する。そうすると、基準電圧発生回路 18 で発生する電圧が高くなり、降圧回路 21 の出力電圧は基準電圧発生回路 18 で発生する電圧をもとに作られるため、基準電圧発生回路 18 で発生する電圧が高くなれば降圧回路 21 の出力電圧も高くなる。これにより書き換え電圧も高くなる。

【0037】また、電源を落とすときは、制御回路 17 により不揮発性メモリ 11 の第 2 の領域 13 に書き込まれた回数データからカウンタ 23 でカウントされた回数が減算され、はじめに不揮発性メモリ 11 の第 2 の領域 13 に書き込まれていた回数データが、その減算された値に書き換えられた後に電源が落ちる動作となる。

【0038】再度電源投入時は、制御回路 17 により第 1 のレジスタ 16、第 2 のレジスタ 24 のデータをクリアする。次に制御回路 17 により不揮発性メモリ 11 の第 2 の領域 13 に書き込まれている補正データおよび回数データを読み出し、第 2 のデータバス 15 を通して、それぞれの読み出されたデータを第 1 のレジスタ 16 および第 2 のレジスタ 24 に転送し、格納するといった動作が電源投入時に行われるため、不揮発性メモリ 11 内の第 2 の領域 13 に補正データおよび回数データを再度書き込む必要はない。

【0039】以上のように本実施形態によれば、不揮発性メモリ 11 の書き換え回数が設定した値になったら基準電圧が高くなる。書き換え時の電圧はこの基準電圧をもとに作られるため、基準電圧が高くなると書き換え時の電圧も高くなる。そこで、書き換え回数をエンデュランス特性が悪くなる回数の回数に設定しておけば、設定回数を越えたとき、書き換え電圧が高くなるため、エンデュランス特性の劣化が防止できる。

【0040】

【発明の効果】以上のように、本発明は、不揮発性メモリ内に記憶された基準電圧補正データに基づいて抵抗値が補正される抵抗値補正回路を基準電圧発生回路内に設けることで、基準電圧発生回路で発生する基準電圧を製造後何度でも調整することができる。基準電圧を調整するための補正データを不揮発性メモリに書き込むため、電源を切った状態でも補正データは消えることがない。また、不揮発性メモリの書き換え電圧を、抵抗値補正回路を備えた基準電圧発生回路で発生する基準電圧をもとに発生し、この書き換え電圧を外部に出力する電圧出力手段を設けることにより、外部から基準電圧をモニターして、いつでも書き換え電圧を適切な値に調整することができる。

【0041】さらに、カウンタを用いて不揮発性メモリの書き換え回数をカウントし、設定回数になったら、書き換え電圧を高めるよう基準電圧補正データを書き換えることにより、書き換え回数増加によるエンデュランス特性の劣化を防ぐことができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態における半導体集積回路装置の構成を示す図

【図 2】基準電圧発生回路の抵抗値と出力電圧の関係を示す図

【図 3】本発明の第 2 の実施形態における半導体集積回路装置の構成を示す図

【図 4】従来の電圧調整回路を示す図

【符号の説明】

11 不揮発性メモリ

12 第 1 の領域

13 第 2 の領域

14 第 1 のデータバス

15 第 2 のデータバス

16 第 1 のレジスタ

17 制御回路

18 基準電圧発生回路

19 抵抗値補正回路

20 昇圧回路

21 降圧回路

22 電圧入出力ピン

23 カウンタ

24 第 2 のレジスタ

25 比較器

R1、R2、R3、R4 補正用抵抗

M1、M2、M3、M4 トランジスタ

Figure 1 is a block diagram of a semiconductor device. The diagram illustrates the following components and their interconnections:

- Block 11**: Contains two gain regions.
 - 第1の増域 (First Gain Region)**: Includes a **デコーダ (Decoder)**.
 - 第2の増域 (Second Gain Region)**: Includes a **センスアンプ (Sense Amplifier)**.
- Control Logic Section**: Located above the main bus, it includes a **制御回路 (Control Circuit)**, a **カウンタ (Counter)**, and a **比較器 (Comparator)**.
- Registers**: Two registers, **第1のレジスタ (First Register)** and **第2のレジスタ (Second Register)**, are connected to the main bus.
- Block 18: 基準電圧発生回路 (Reference Voltage Generation Circuit)**: A complex circuit involving multiple transistors ($M_1, M_2, M_3, M_4, M_5, M_6, M_7, M_8$) and resistors ($R_1, R_2, R_3, R_4, R_5, R_6, R_7$). It is powered by V_{DD} and ground.
- Block 19: 補正値補正回路 (Correction Value Correction Circuit)**: Consists of a divider circuit (transistors M_9, M_{10} and resistor R_6) and a buffer circuit (transistors M_{11}, M_{12} and resistor R_7).
- Output Stage**: The corrected signal passes through a switch (20) controlled by **書き換え電圧 (Write Voltage)** to the **22. 電圧入出力ピン (Voltage Input/Output Pin)**.

(72)発明者 片岡 知典
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

Fターム(参考) 5B025 AD09 AE01 AE08